

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-050413

(43)Date of publication of application : 21.02.1995

(51)Int.Cl. H01L 29/78  
H01L 21/318  
H01L 21/336

(21)Application number : 06-087577

(71)Applicant : SILICONIX INC

(22)Date of filing : 31.03.1994

(72)Inventor : WILLIAMS RICHARD K  
CORNELL MICHAEL E  
CHANG MIKE  
GRASSO DAVID  
YEUNG AGNES  
CHUANG JUIPING

(30)Priority

Priority number : 93 40684 Priority date : 31.03.1993 Priority country : US

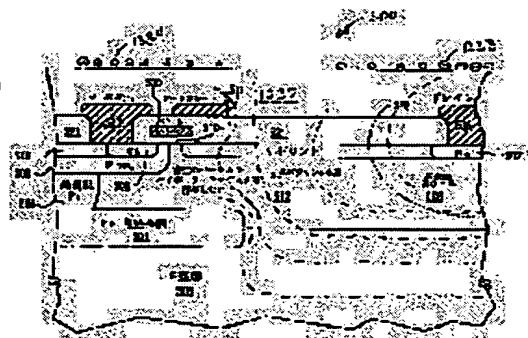
## (54) HIGH-VOLTAGE SEMICONDUCTOR STRUCTURE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To realize higher dopant concentration of a drift region by forming an electric field in both the drift region and a channel region, when a first region of a second conductivity type is a first voltage and a second region of the second conductivity type is a second voltage.

CONSTITUTION: When a transistor 500 operates, charges in a passivation layer 1332 migrate, so that negative charges 1333 apply a high voltage to a drain region 507, a drain contact part 508, and an N-drift region 522. Positive charges 1334 apply a low voltage to a source region 502, a contact part 520, and a gate 509.

Consequently, the charges 1333 and 1334 make equipotential lines to be concentrated in a channel region formed in the N-drift region 522 and an epitaxial layer 512, and the intensity of an electric field near regions of the highest voltage and lowest voltage is increased. As a result, the layers have differing conductivities, and the electric field in an integrated circuit is formed. Consequently, a high dopant concentration can be assured without reducing a breakdown voltage.



## LEGAL STATUS

[Date of request for examination] 01.02.1995

[Date of sending the examiner's decision of rejection] 06.01.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50413

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl. <sup>8</sup>	識別記号	弁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/318	B	7352-4M		
21/336				
		7514-4M	H 0 1 L 29/ 78	3 0 1 W
		7514-4M		3 0 1 L
審査請求 未請求 請求項の数16 F D (全 19 頁) 最終頁に続く				

(21) 出願番号 特願平6-87577

(22) 出願日 平成6年(1994)3月31日

(31) 優先権主張番号 08/040,684

(32) 優先日 1993年3月31日

(33) 優先権主張国 米国 (US)

(71) 出願人 591077450

シリコニックス・インコーポレイテッド  
S I L I C O N I X I N C O R P O R A  
T E D

アメリカ合衆国カリフォルニア州95054・  
サンタクララ・ローレルウッドロード  
2201

(72) 発明者 リチャード・ケイ・ウィリアムズ

アメリカ合衆国カリフォルニア州95014・  
クーペルティノ・ノーウィックアベニュー  
10292

(74) 代理人 弁理士 大島 陽一 (外1名)

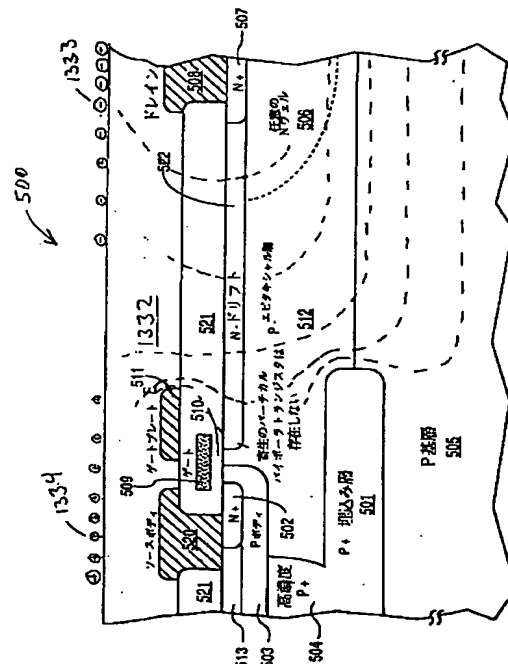
最終頁に続く

(54) 【発明の名称】 高電圧半導体構造及びその製造方法

(57) 【要約】

【目的】 ドリフト領域のゲートエッジでのより減少したピーク電界を有する自己絶縁されたLDDラテラルDMOSトランジスタを提供することを目的とする。

【構成】 第1導電型の基層と、基層上に形成された前記第1導電型のエピタキシャル層と、エピタキシャル層に形成された第2導電型の第1領域と、エピタキシャル層内に第1領域から分離されて形成された第2導電型の第2領域と、エピタキシャル層内に第1領域と第2領域との間に、かつ第2領域と接触して形成された第2導電型のドリフト領域と、ドリフト領域と第1領域との間のエピタキシャル層内に形成されたチャンネル領域と、エピタキシャル層の上に形成された絶縁層と、絶縁層とチャンネル領域の上に形成されたゲート領域と、絶縁層の上に形成され、かつ第1領域と第2領域とに電気的に接続された、窒化珪素から形成されたパッシベーション層とからなる。



## 【特許請求の範囲】

【請求項 1】 電界効果トランジスタを備えた高電圧半導体構造であって、  
前記電界効果トランジスタが、  
第 1 の導電型の基層と、  
前記基層上に形成された前記第 1 の導電型のエピタキシャル層と、  
前記エピタキシャル層内に形成された第 2 の導電型の第 1 領域と、  
前記エピタキシャル層内に前記第 1 領域から分離されて形成された前記第 2 の導電型の第 2 領域と、  
前記エピタキシャル層内に前記第 1 領域と前記第 2 領域との間に、かつ前記第 2 領域と接触して形成された前記第 2 の導電型のドリフト領域と、  
前記ドリフト領域と前記第 1 領域との間の前記エピタキシャル層内に形成されたチャンネル領域と、  
前記エピタキシャル層の上に形成された絶縁層と、  
前記絶縁層と前記チャンネル領域の上に形成されたゲート領域と、  
前記絶縁層の上に形成され、かつ前記第 1 領域と前記第 2 領域とに電気的に接続された、窒化珪素から形成されたパッシベーション層とを有し、  
前記第 1 領域が第 1 電圧であって、前記第 2 領域が第 2 電圧である時、前記ドリフト領域と前記チャンネル領域内に電界が形成されることを特徴とする高電圧半導体構造。

【請求項 2】 その一部が前記チャンネル領域と前記ドリフト領域の下に配置され、前記基層の上に形成された前記第 1 の導電型の埋込み層とを更に有し、  
前記埋込み層が前記ドリフト領域と前記チャンネル領域内での電界の形成を援助することを特徴とする請求項 1 に記載の高電圧半導体構造。

【請求項 3】 前記第 1 領域と前記第 2 領域の間を前記パッシベーション層を通して電流が流れず、しかし前記パッシベーション層の上に電荷が形成された場合、前記電荷が前記ドリフト領域の前記電界を大きく変化させる前に、前記第 1 領域と前記第 2 領域とのいずれか一方からの電流が流れ電気電荷を電気的に中和するような導電型を前記窒化珪素が備えることを特徴とする請求項 2 に記載の高電圧半導体構造。

【請求項 4】 前記窒化珪素パッシベーション層が、前記第 1 領域及び前記第 2 領域に電気的に接続されて形成された第 1 パッシベーション層と、  
前記第 1 パッシベーション層の上に形成された第 2 パッシベーション層とを備え、  
前記第 1 パッシベーション層と前記第 2 パッシベーション層とが互いに相異なる導電型を有することを特徴とする請求項 2 に記載の高電圧半導体構造。

【請求項 5】 前記窒化珪素パッシベーション層が、互いに隣接する層とは相異なる導電型を備えた複数の層

を有することを特徴とする請求項 2 に記載の高電圧半導体構造。

【請求項 6】 前記第 1 領域と前記埋込み層とに電気的に接続された、前記第 1 の導電型のデープウェルを更に有することを特徴とする請求項 3 に記載の高電圧半導体構造。

【請求項 7】 前記ゲート領域の上に配置され、かつ前記チャンネル領域と前記ドリフト領域との間の境界面に延在する導電性クレートを更に有することを特徴とする請求項 2 に記載の高電圧半導体構造。

【請求項 8】 前記トランジスタが DMOS トランジスタであって、  
前記エピタキシャル層よりも高い不純物濃度を備え、前記エピタキシャル層内に形成された前記第 1 の導電型であって、前記第 1 領域の上に配備され、かつ前記第 1 領域と前記ドリフト領域との間の前記第 1 領域を越えて横方向に延在するボディ領域を更に有することを特徴とする請求項 1 に記載の高電圧半導体構造。

【請求項 9】 前記チャンネル領域とドリフト領域との下に配置された部分を備え、かつ前記基層上に形成された前記第 1 の導電型の他の埋込み層を更に有し、  
前記埋込み層の電圧が前記ドリフト領域と前記チャンネル領域内の前記電界の形成を援助することを特徴とする請求項 8 に記載の高電圧半導体構造。

【請求項 10】 前記第 1 領域と前記第 2 領域の間を前記パッシベーション層を通して電流が流れる、しかし前記パッシベーション層の上に電荷が形成された場合、前記電荷が前記ドリフト領域の前記電界を大きく変化させる前に、前記第 1 領域と前記第 2 領域とのいずれか一方からの電流が流れ電気電荷を電気的に中和するような導電型を前記窒化珪素が備えることを特徴とする請求項 8 に記載の高電圧半導体構造。

【請求項 11】 ダイオードを備えた高電圧半導体構造であって、

前記ダイオードが、  
第 1 の導電型の基層と、  
前記基層上に形成された前記第 1 の導電型のエピタキシャル層と、  
前記エピタキシャル層内に形成された前記第 1 の導電型の第 1 領域と、  
前記エピタキシャル層内に形成され、かつ前記第 1 領域から分離された第 2 の導電型の第 2 領域と、  
前記第 1 領域と前記第 2 領域との間の前記エピタキシャル層内に形成され、かつ前記第 2 領域と接触した前記第 2 の導電型のドリフト領域と、  
前記ドリフト領域と前記第 1 領域との間の前記エピタキシャル層内のチャンネル領域と、  
前記エピタキシャル層の上に配置された絶縁層と、  
前記絶縁層の上に形成され、前記第 1 領域と前記第 2 領域とに電気的に接続された窒化珪素から形成されたパッ

シベーション層とを有し、

前記第1領域が第1電圧であって、前記第2領域が第2電圧である時、前記ドリフト領域と前記チャネル領域内に電界が形成されることを特徴とする高電圧半導体構造。

【請求項12】 その一部が前記チャネル領域と前記ドリフト領域の下に配置され、前記基層の上に形成された前記第1の導電型の埋込み層とを更に有し、前記埋込み層が前記ドリフト領域と前記チャネル領域内での電界の形成を援助することを特徴とする請求項11に記載の高電圧半導体構造。

【請求項13】 前記第1領域と前記第2領域の間を前記パッシベーション層を通して電流が流れず、しかし前記パッシベーション層の上に電荷が形成された場合、前記電荷が前記ドリフト領域の前記電界を大きく変化させる前に、前記第1領域と前記第2領域とのいずれか一方からの電流が流れ電気電荷を電氣的に中和するような導電型を前記窒化珪素が備えることを特徴とする請求項12に記載の高電圧半導体構造。

【請求項14】 前記第1領域の下に形成され、前記第1領域と前記第2領域との間の前記第1領域を越えて横方向に延在し、前記エピタキシャル層内に形成され、前記エピタキシャル層より高い不純物濃度を備えた前記第1の導電型のボディ領域を更に有し、前記ダイオードがDMOS構造からなることを特徴とする請求項13に記載の高電圧半導体構造。

【請求項15】 高電圧半導体構造の製造方法であって、第1の導電型の半導体内に、第2の導電型の第1の高濃度にドーピングされた接触領域を形成する過程と、前記半導体内のチャネルによって前記第1接触領域から分離され、かつ前記第2の導電型の低濃度にドーピングされたドレン領域を前記半導体内に形成する過程と、前記ドリフト領域と接触する前記第2の導電型の第2接触領域を前記半導体内に形成する過程と、前記半導体の上に配置された絶縁層を形成する過程と、前記絶縁層を通過する前記第1領域及び前記第2領域への接触部を形成する過程と、前記第1接触領域と前記第2接触領域とに電氣的に接触し、前記ドリフト領域の上に配置された窒化珪素パッシベーション層を形成する過程とを有することを特徴とする高電圧半導体構造の製造方法。

【請求項16】 半導体構造の表面に前記第1の導電型の高濃度にドーピングされた電界形成領域を形成する過程と、その内部に前記第1接触領域と、前記第2接触領域と、前記ドリフト領域が形成された前記半導体構造を有する、前記半導体基層の前記表面の上に前記第1の導電型のエピタキシャル層を形成する過程と、前記第1接触領域と前記ドリフト領域との間に前記第1

接触領域を越えて横方向に延在し、かつ前記第1接触領域の下に配置された、前記エピタキシャル層内の前記第1の導電型の高濃度に不純物ドーピングされたボディ領域を形成する過程を更に有することを特徴とする請求項15に記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、酸化膜半導体(MOS)デバイスの上に配置されたパッシベーション(passivation)構造に関し、特に、その下層のデバイスから電氣的に絶縁されたパッシベーションから電氣的に絶縁されたパッシベーション構造に関し、更に詳しくは、ラテラル二重拡散MOS(DMOS)電界効果トランジスタのためのパッシベーション層として用いられる窒化珪素に関する。

【0002】

【従来の技術】低濃度にドーピングされたドレイン(LDD)領域を有するタイプのラテラル二重拡散金属酸化物半導体(ラテラルDMOS)トランジスタ(または“LDDラテラルDMOSTランジスタ”)は、しばしば高電圧集積回路に存在する。これらのLDDラテラルDMOS素子の中でも、論理機能を実行するために用いられる低電圧素子との集積が比較的容易なために、自己絶縁素子がとりわけ好ましい。自己絶縁素子は、Nチャネル素子に於ては、各トランジスタのN+ドレイン及びソース領域が、これらの各ドレイン及びソース領域とP型基層との間に形成された逆バイアスされたPN接合によって、他のトランジスタのN+ドレイン及びソース領域から分離されているために、そのように呼ばれる。自己絶縁DMOS素子は、接合絶縁されたLDDラテラルDMOS素子または誘電体絶縁されたLDDラテラルDMOS素子に比べ、自己絶縁のため必要とする領域が小さいため、コストが比較的低い。上述されたLDDラテラルのDMOS素子の様々なタイプの外観は、1986年12月の電子装置に関するIEEEの会報第ED-33巻、第12号の1936頁から1939頁の、ビー・バリガ(B. Baliga)によって記述された“Power Integrated Circuits — A Brief Overview”に記述されている。

【0003】図1は、二重拡散されたN+ソース領域102及びPボディ領域103を表わす、NチャネルLDDラテラルDMOSTランジスタ100の断面図である。Pボディ及びソース領域102及び103は、通常、導体120に接続されており、その導体120は、P+接触領域101を通してPボディ領域103に接続されている。トランジスタ100のドレインは、N-LDDまたはドリフト領域122及びN+接触領域107によって形成される。トランジスタ100は、ゲート109の電圧によって制御され、そのゲート109は、ゲート酸化層110の上方に位置し、絶縁層121に囲ま

れている。高濃度P+領域104が、良好な接触をもたらすために、所望に応じてP-基層105に形成される。この高濃度P+領域104は、トランジスタ100のブレイクダウン電圧と、トランジスタ100に関連する寄生静電容量の増加のいずれに対しても大きな影響を及ぼさない。Nウェル106もまた、より高いブレイクダウン電圧を必要とする、より長いドリフト領域の高電圧装置に適する“高濃度”ドレイン領域を提供するために所望に応じて形成される。もしドリフト領域122が非常に低濃度にドーピングされているならば、トランジスタのブレイクダウンはしばしば、N+接触領域107

(“ドレインエッジ”)に続くドリフト領域122のエッジに関連する高い電界中で起こる。一方、もしドリフト領域122が比較的より高濃度にドーピングされているならば、ブレイクダウンは、ゲート109(“ゲートエッジ”)に続くドリフト領域122のエッジで、より頻繁に起きる。ドリフト領域122がより高濃度にドーピングされているため、トランジスタ100の導通抵抗を減少させ、それによって高い飽和電流を可能にする。しかしながら、ドリフト領域122のゲートエッジ付近の表面でのブレイクダウンは、多少の電荷をゲート酸化膜110の中に残すこともあり、信頼度の問題及び不安定なブレイクダウン電圧をもたらす。

【0004】図2は、トランジスタ100が“オフ”状態にある時の電位分布を示す。(図2に於て所望に応じて形成された高濃度N+領域104及び所望に応じたNウェル106は示されていない。)図2に示すように、高い電界は、ドリフト領域122のゲートエッジに“集中”して配置された等電位線によって示される。ゲートエッジでの高い電界の分布は、トランジスタ110のブレイクダウン電圧を低くする。

【0005】図3は、等電位線の集中を軽減するため、従来の技術に於ける1つの方法を示しており、それによってトランジスタ100のブレイクダウン電圧は高くなる。図3に示すように、ゲート109、ソース領域102またはPボディ領域のいずれかに電気的に接続された、フィールドプレートと呼ばれる導体111は、ドリフト領域122のゲートエッジの上方に位置する。図3に示すように、フィールドプレート111の存在は、シリコン表面上方のドリフト領域122のゲートエッジでの等電位線の集中を減少し、ゲートエッジの電界の強度を低くする。フィールドプレート111は、ポリシリコンまたは金属を用いることで形成される。(フィールドプレートが、ゲート109と電気的に接続されている時、フィールドプレートはまた、“ゲートプレート”と呼ばれる。)しかしながら、N-ドリフト領域122の側壁(矢印Aによって示されている)には、強い電界が残っている。一方、ゲートプレートを用いた等電位線の集中を減少する方法は、満足すべきものではなく、特にその理由はN-ドリフト領域122のドーパント濃度の

合理的で期待された過程の変更が、そのような電界の集中を一層悪化させるためである。

【0006】LDDラテラルDMOSTランジスタのブレイクダウン電圧を増加するためのもう1つの方法は、減少された表面電界(RESURS)技術によって獲得され、その技術は、1979年12月の国際電子装置会議の技術ダイジェストの238頁から241頁に於てジェイ・アペルス(J. Appels)その他の者による“High Voltage Thin Layer Device (RESURF Device)”に於て議論されている。RESURF技術は、P-基層の表面の低濃度にドーピングされたN-エピタキシャル層内のLDDラテラルDMOSTランジスタを提供する。

【0007】図4は、電界を形成するP+埋込み層201を有する接合絶縁されたRESURFラテラルDMOSTランジスタ200を示す。図4で、トランジスタ200は、P-基層205の表面に形成されたN-エピタキシャル層206の中に製造されている。トランジスタ200は、N+ソース及びドレイン領域202及び207、Pボディ領域203及びゲートと酸化層210の上方に形成され絶縁層221に囲まれたゲート209を有する。N+ソース領域202及びPボディ領域203は、金属皮膜で覆われた物質220によって接続されている。加えて、トランジスタ200は、P+絶縁層204から延在しドリフト領域222のゲートエッジを越えてゲート領域の下に水平に延在する電界形成P+埋込み層201を備えている。図4では、RESURS効果によって増加したブレイクダウン電圧に加えて、電界形成P+埋込み層201が、ゲート209の下領域に並ぶN-エピタキシャル層206内の等電位線を“集中しない”状態にすることによって、ブレイクダウン電圧をより高める。同様のトランジスタが、米国特許第4,300,150号明細書“Lateral Double-diffused MOS Transistor Device”に開示されている。

【0008】図4のRESURFラテラルDMOSTランジスタ200は、RESURF技術及び電界形成P+埋込み層201の両方を使用することによって、そのブレイクダウン電圧を高めるが、P+絶縁層204のための付加的な領域が必要とされるので、RESURFラテラルDMOSTランジスタ200は、パッキング密度の立場からコスト高となる。加えて、P+絶縁領域204は、N+ソース領域202、Pボディ領域203及びエピタキシャル領域206によって形成された高利得の寄生垂直NPNトランジスタのエミッターベース間の接合を短絡するべく図4に示すように適切に形成されなければならない。エミッターベース間の接合を短絡することは、“共通エミッターベースオープンブレイクダウン電圧スナップバック”(“BV<sub>ceo</sub> snapback”)として知られる、装置を破壊する現象を防止する。P+

絶縁領域 204 を製造するにあたり、絶縁を確実なものにするために P+ 拡散が N-エピタキシャル層を通過して P-基層に達することを確実にすることが必要である。

【0009】更に、図 4 の RESURF ラテラル DMOS トランジスタ 200 の P ボディ領域 203 は、N-エピタキシャル層 206 との逆バイアス接合を形成する。そのような逆バイアス接合は、RESURF ラテラル DMOS トランジスタ 200 のパンチスルー（障壁を低くする）ブレークダウン劣化の可能性を増加させる。結果として他のバイポーラまたは高い電圧の装置を集積化する可能性は、RESURF ラテラル DMOS トランジスタの設計要件によって限定される。

【0010】

【発明が解決しようとする課題】従って、従来のトランジスタに比べ、ドリフト領域のゲートエッジでのより減少したピーク電界を有する自己絶縁された LDD ラテラル DMOS トランジスタが望まれる。そのようなトランジスタは、信頼度またはブレークダウン電圧を低下させることなく、ドリフト領域のより高いドーパント濃度を可能にする。更に、そのような自己絶縁された LDD ラテラル DMOS トランジスタは、RESURF 型のラテラル DMOS トランジスタ内の P+ 絶縁層の領域的な不利益を負わずに、ブレークダウン電圧及び信頼度の特性を提供し、設計者がより自由に垂直 NPN トランジスタを提供するような他の目的のために、より厚いエピタキシャル層を選択し使用することを可能にする。

【0011】

【課題を解決するための手段】上述された目的は、電界効果トランジスタを備えた高電圧半導体構造であって、電界効果トランジスタが、第 1 の導電型の基層と、前記基層上に形成された前記第 1 の導電型のエピタキシャル層と、前記エピタキシャル層に形成された第 2 の導電型の第 1 領域と、前記エピタキシャル層内に前記第 1 領域から分離されて形成された前記第 2 の導電型の第 2 領域と、前記エピタキシャル層内に前記第 1 領域と前記第 2 領域との間に、かつ前記第 2 領域と接触して形成された前記第 2 の導電型のドリフト領域と、前記ドリフト領域と前記第 1 領域との間の前記エピタキシャル層内に形成されたチャンネル領域と、前記エピタキシャル層の上に形成された絶縁層と、前記絶縁層と前記チャンネル領域の上に形成されたゲート領域と、前記絶縁層の上に形成され、かつ前記第 1 領域と前記第 2 領域とに電気的に接続された、窒化珪素から形成されたパッシベーション層とを有し、前記第 1 領域が第 1 電圧であって、前記第 2 領域が第 2 電圧である時、前記ドリフト領域と前記チャンネル領域内に電界が形成されることを特徴とする高電圧半導体構造を提供することによって達成される。

【0012】

【作用】本発明の構造及び方法に従えば、自己絶縁され

た LDD ラテラル DMOS トランジスタは、RESURF トランジスタの加えられた領域コストなしにゲートエッジに於けるピーク電界を減少して提供される。自己絶縁された LDD ラテラル DMOS トランジスタは、二重に拡散されたボディ領域、埋込み層及び基層と同じ導電型を有する、高濃度にドーパされたエピタキシャル層内に形成される。埋込み層は、概ねソース領域の下から概ねドリフト領域の下へ延在する。

【0013】1 つの実施例では、導電性のゲートプレート（それは金属、ドーパされたポリシリコンまたはその他の所望に応じた適切な導電性物質である）は、自己絶縁されたラテラル DMOS トランジスタのゲート領域の上方に提供される。他の実施例では、高濃度ボディ拡散領域が、自己絶縁された DMOS トランジスタ内に提供される。他の実施例では、高濃度ドレイン拡散領域が、自己絶縁された DMOS トランジスタ内に提供される。更に異なる実施例では、自己絶縁された LDD ラテラル DMOS トランジスタのゲート、P+ 埋込み層及びドリフト領域が、ドレイン領域を囲む概ね環状の構造を形成する。これらの実施例では、埋込み層は、上述された構造または複数の構造と共に、電界の集中を減少することにより、ブレークダウン電圧を増加するための電界形成の適応性を提供する。

【0014】本発明の他の実施例では、ドリフト及び P+ 埋込み領域は、ドレイン領域を囲む概ね環状の構造を形成する。とはいえ本実施例では、ドリフト領域の唯一つの部分が、フィールド酸化膜領域及びドリフト領域によって形成される“不活性エッジ”に当接するドリフト領域の他の部分であるチャンネル領域によって区別される。不活性エッジの下に P+ 埋込み層は、不活性エッジの電界強度を減少するために提供される。

【0015】本発明の他の実施例では、ダイオードが、LDD ラテラル DMOS トランジスタの活性チャンネル領域を取り除くことによって形成される。P+ 埋込み層は、ドリフト領域及びフィールド酸化膜領域の接合部の電界を減少させ、カソード-アノード間の逆再生特性（reverse-recovery characteristics）を改善する。

【0016】本発明の他の実施例では、フィールド酸化膜領域は、ゲートを形成する前にドリフト領域の上に形成される。ゲートは、フィールド酸化膜領域の上に延在するので、チャンネル及びドリフト領域間の接合部の電界強度を減少させる。

【0017】本発明の他の実施例では、窒化珪素パッシベーション層が集積回路の活性領域の上に形成されている。窒化珪素は集積回路の活性領域のある領域と電気的に接続されているが、しかし非常に高い抵抗率を有するので、窒化珪素パッシベーション層を通して活性領域間に電流が流れることはない。しかしながら、パッシベーション層に到達した電荷は、堆積することなく活性要素

を通過してパッシベーション層から流れ去る。従って、窒化珪素は、下層の集積回路の電界を変化させる電荷が堆積されることを防止し、従って集積回路内により予測可能なかつ一定の電界を提供する。

【0018】他の実施例では、窒化珪素パッシベーション層は集積回路要素内のドリフト領域と結合されている。窒化珪素パッシベーション層は、ドリフト領域のエッジ部分での電界を形成しかつ電界を減少させることを援助するので、集積回路のブレイクダウン特性を改善する。窒化珪素パッシベーション層はまた、パッシベーション層内に堆積される電荷の変化を減少させ、かつその結果形成されるドリフト領域内のイメージ電荷を減少させる。従って、ドリフト領域は他の構造の集積回路に比べ非常に高濃度にドーピングされることが可能となる。本発明は、添付の図面に関連しながら、以下に提供される詳細な説明を考慮することによって十分に理解されることになる。

#### 【0019】

【実施例】図5は、本発明の1つの実施例に基づいて提供されたLDDラテラルDMOSトランジスタ500の断面図である。LDDラテラルDMOSトランジスタ500は、ゲート509、ドリフト領域522及びP+埋込み層501が、ドレイン領域の周囲を取り囲む概ね環状の構造を有する。

【0020】この実施例では、図5に示すように、LDDラテラルDMOSトランジスタ500は、P-基層505上の低濃度にドーピングされたP-エピタキシャル層512によって形成されている。エピタキシャル層512は、概ね $1.0 \times 10^{14}/\text{cm}^3$ から $5.0 \times 10^{14}/\text{cm}^3$ のドーパント（例えばボロン）濃度を有し、ドーパント濃度は、 $8.0 \times 10^{15}/\text{cm}^3$ となることもある。エピタキシャル層の深さは、集積回路内の全ての装置の所定の動作条件に基づいて選択される。同様に、前記P-（例えばボロンをドーピングされた）基層505の抵抗率は、集積回路内に於てトランジスタ500と共に集積された全ての装置の所定の最大動作電圧を考慮することによって選択される。500V以上の動作電圧に対し、30~50Ωcmの抵抗率が用いられる。しかしながら、より高い電圧動作（例えば1000ボルトまたはより以上の電圧）のために、900Ωcm以上の高い抵抗率が用いられる。

【0021】P-エピタキシャル層512は、高温での気相成長法（CVD）または当業者に知られている他の適切な技術によって堆積される。P-エピタキシャル層512を形成する前に、P+埋込み層501は、イオン注入のような通常の技術によって、P-基層505の表面の近くに形成される。P-エピタキシャル層512を形成する過程で、P+埋込み層501は、P-エピタキシャル層512の表面に向かって後方に拡散する。形成過程の熱サイクル数に依存して、P+埋込み層501の

最終的なドーパント濃度が $10^{16}/\text{cm}^3$ のオーダーになるように、初期のドーパント濃度が供給される。本実施例で、イオン加速電圧60KeV、ドーズ量 $5.0 \times 10^{14}/\text{cm}^2$ のボロンの注入は、P+埋込み層501の所定の最終的なドーパント濃度を供給する。後方への拡散は、8ミクロン程であり、この厚さは、P-エピタキシャル層512が可能な最小の深さを限定する。

【0022】図5は、Pボディ領域503とP-基層505の間の良好な接続を提供する高濃度P+領域504を示す。もしイオン注入が高濃度P+領域504を形成するために用いられるならば、イオン加速電圧60KeV、ドーズ量 $10^{15}/\text{cm}^2$ 以上のボロンの注入が行われる。代わりに、P+領域504は、気体または固体のボロンソースからのP+プレデポジションを用いることによって形成される。Pボディ領域503はLDDラテラルDMOSトランジスタ500の閾値電圧を決定する。Pボディ領域503を形成するために用いられるドーズ量は、イオン加速電圧60KeVでは、閾値電圧に依存して $1.0 \times 10^{13}/\text{cm}^2 \sim 9.0 \times 10^{13}/\text{cm}^2$ の範囲にないがあるが、ドーズ量は概ね $5.0 \times 10^{13}/\text{cm}^2$ である。共通N+/Pボディ領域の接合の深さの閾値電圧は、N+ソース領域502とPボディ領域503の間の接合での相互作用によって決定される正味の断面に依存して、0.7Vから3.0Vに変化する。本実施例の製造過程で、Pボディ領域503は、基層内部へ4ミクロンほどの深さだけ下方向に拡散する。図4に示すトランジスタ200のような、RESURF型LDDラテラルDMOSトランジスタとは異なり、Pボディ領域503の近傍には、逆バイアス接合が存在しない。逆バイアス接合は、N+ドレイン領域507とP-エピタキシャル層512の間に形成され、その接合は、トランジスタ500のパンチスルーブレイクダウンを低下させるべくPボディ領域503から離れて配置されている。

【0023】N+ソース領域502及びN+ドレイン領域507は、 $5.0 \times 10^{15}/\text{cm}^2$ またはそれ以上のドーズ量による通常の技術を用いて形成される。本実施例では、磷及び砒素の50%-50%の混合が用いられるが、これらのドーパントは互いに他とは別に使用可能である。本発明の以下に述べる利点のために、ドリフト領域は、 $4.0 \times 10^{12}/\text{cm}^2$ 以上の合計のドーズ量（例えば磷）によって形成され、そのドーズ量は、従来技術に於て達成できるドリフト領域のドーパントのドーズ量のおよそ4倍に当たる。従ってこのトランジスタ500の導通時の抵抗は、従来技術のLDDラテラルDMOSトランジスタの導通時の抵抗に比べかなり減少されたものとなる。

【0024】Nウェル506が所望に応じて形成される。そのとき、Nウェル506の深さは、3ミクロンから12ミクロンであり、そのドーパント濃度（例えば磷）は $1.0 \times 10^{15}/\text{cm}^3 \sim 2.0 \times 10^{16}/\text{cm}^3$ の範



囲にある。Nウェル506が注入される場合、イオン加速電圧60~100KeVで、ドーズ量 $3.0 \sim 8.0 \times 10^{12}/\text{cm}^2$  (例えば燐)が、概ね $8.0 \times 10^{15}/\text{cm}^3$ の表面濃度を提供するために用いられる。P-MOSトランジスタとの集積を可能にすることに加えて、所望に応じて設けられるNウェル506は、付加的な電界形成の適応性(以下に説明)を提供する。

【0025】所望に応じてもうけられるP+領域513(例えばホウ素をドーパされた領域)は、ソース・Pボディ間の分路を提供し、Pボディ領域503との良好な接触を提供する。もしP+領域513が提供されなければ、Pボディ領域503は、ソース・ボディ結合520に直接または高濃度P+領域504と共に接触する。トランジスタ500のゲート酸化層510及びゲート509は、通常の方法を用いて形成される。

【0026】図5に示す構造には、RESURF型ラテラルDMOSTランジスタとは異なり、BV<sub>CEO</sub>スナップバックを受け入れ易い高利得の寄生バーチカルNPNトランジスタが存在しない。BV<sub>CEO</sub>スナップバック現象は、図4のRESURF型DMOSTランジスタ200の説明で上述された。本実施例では、ソース及びドレイン領域502及び507、及びP-エピタキシャル層及びPボディ領域512及び503によって形成された長いベース(低い利得)を有する唯一の寄生ラテラルNPNトランジスタが存在する。このため、トランジスタ500は、BV<sub>CEO</sub>スナップバックを禁止するのにあまり適当ではない。

【0027】本実施例では、所望に応じて設けられるゲートプレート511(例えばアルミニウム)が、図2に示すゲートプレートと共に既に上述された方法によって、シリコン表面上の電荷の集中を減少するために提供される。ドリフト領域522のドレインエッジでの電界の減少が要求される場合、ドレイン接触領域507の導電物質508は、フィールドプレートを形成するドリフト領域522のドレインエッジを超えて、絶縁層521の上方に延在するように形成される。

【0028】図6に、トランジスタ500の等電位線の分布が示されている。図6に示すように、P+埋込み層501の存在は、等電位線がシリコン表面の下でより横になり、ドレイン接触領域507の向きでより均等になるように、等電位線を押し出す。このようにして、図3の矢印Aによって指示された等電位線の集中は、P+埋込み層501の存在によって緩和される。一方、ドリフト領域522のゲートエッジの電界を減少し、電界を表面電荷から離れたバルクシリコンの内部へ移動させることによって、LDDMOSトランジスタ500のブレイクダウン電圧が高められる。このブレイクダウン電圧が上昇することによって、ドリフト領域522のドーパント濃度は、従来技術に比較し4倍に増加し、それに対応して、トランジスタ500の導通時の抵抗が減少するの

で、LDDラテラルDMOSTランジスタ500は高い電流を保持する能力を増加させる。更に、ブレイクダウンはバルク内に生じるのみなので、アバランシェブレイクダウン電圧は安定な状態に留まり、酸化層521への充電は最小になる。

【0029】図7は、本発明の変形実施例の、Nウェル606を有するLDDラテラルDMOSTランジスタ600の等電位線の分布を示す。図5と図7との各トランジスタ500及び600の構造の比較を容易にするために、同一の部分には同じ符号が付されている。図7は、Nウェル606が、トランジスタ600の等電位線をバルクシリコンの内部へ押しやり、表面電荷から遠ざけていることを示す。一方、Nウェル606の深さを制御することは、トランジスタ600を所望のブレイクダウン特性に適合するべく変えるための、電界形成の適応性を提供する。Nウェル606のようなNウェルは、200V以上の動作電圧で一般的に使用され、200V以下の動作電圧では殆ど一般的には使用されない。これは、200V以下の電圧では、所望のブレイクダウン特性がより容易に得られるからである。Nウェルもまた、高電圧で使用されるトランジスタの導通時の抵抗を減少する。

【0030】図8は、(a)図1に示されたものと同様な、従来技術に於けるLDDラテラルDMOSTランジスタ、(b)(a)と同様な、LDDラテラルDMOSTランジスタであって、図に示すようなゲートプレート102を有するトランジスタ、及び(c)本発明に基づく、図に示すようなP+埋込み層を有するLDDラテラルDMOSTランジスタのシリコン表面上に沿った電界強度を比較して図示している。図8では、(a)のトランジスタは、構造800によって表現され、ゲートプレート802及びP+埋込み層801を取り除いたものである。(b)のトランジスタは、構造800によって表現され、P+埋込み層801を取り除いたものである。

(c)のトランジスタは、構造800によって表現され、ゲートプレート802及びP+埋込み層801の両方を有するものである。(a)、(b)及び(c)の3つのトランジスタは、ドレインプレート804を有する。ドレインプレート804は、上述された方法によって、ドリフト領域805のドレインエッジの電界分布を調整する。

【0031】図8に、シリコンの表面に沿った電界強度が、x方向の距離に対して描かれている。図8に示すように、820、821及び822の番号が付けられた曲線は、それぞれ上述された(a)、(b)及び(c)のトランジスタの電界強度の曲線を表す。3本の曲線820、821及び822の全てで、電界強度は、ドリフト領域805のゲートエッジ(点x1)でピークに達し、ドリフト領域805のドレインエッジ(点x4)で0に近づくことがわかる。期待通りに、点x1での最も大きい電界強度は、(a)のトランジスタの電界強度であ

る。(a)のトランジスタでは、電界強度(曲線820)はドリフト領域のゲートエッジからの距離が増加するに従って急速に減少する。この場合の電界は、点x3及びx4の間のドレインプレート804の存在によって加減された割合で減少する。トランジスタ(b)の電界強度(曲線821)は、ゲートプレート802の下領域では、曲線820より大きいまたは小さい値であり、ゲートプレート802の延在する部分を越え、点x2から点x4へ移動する時、曲線820に示された減少の割合と等しい概ね一定の割合で減少する。曲線820及び821に示されたように、ゲート及びドレインプレート802及び804は、それらのプレートの下で、シリコン表面に沿った電界強度を水平にする効果を有する。しかしながら、本発明に基づく曲線822に更に示されるように、P+埋込み層801を有するトランジスタ(c)は、ドリフト領域805の全長(x1からx4)に沿った概ね均一な電界強度を有する。

【0032】上述された利点に加え、図5のトランジスタ500のP+埋込み層501のようなP+埋込み層は、注入された少数キャリアの寿命を短縮し、それによって、ドレイン507、P-エピタキシャル層512及びP-基層505によって形成されたダイオードの逆再生特性(reverse-recovery characteristics)を改善する。更に、P+埋込み層511が形成された時に、同一の半導体基層の上に集積される論理回路のような回路を形成するために用いられる低電圧NMOSTランジスタの下に、P+埋込み層が更に形成される。そのような低電圧NMOSTランジスタの下に埋込み層は、集積回路がCMOSラッチアップ状態(COMS latch-up condition)になることを減少する。

【0033】図9は、2つの低電圧CMOSTランジスタ903及び904と同じ基層上に集積された、環状の形状に形成されたLDDラテラルDMOSTランジスタ901を示す。図9では、P+埋込み層905及び906は、トランジスタ901の電界形成構造としてだけでなく、NチャンネルMOSTランジスタ904のラッチアップ抑制構造としても働く。一方平面図に於て、ドリフト、ドレイン、Pボディ、種々のP+埋込み層及びLDDラテラルDMOSTランジスタ901のその他の構造は、環状の構造となっている。例えば、図9に示すように、LDDラテラルDMOSTランジスタ901のPボディ領域及びソース領域を接続する導体910は環状の形状である。

【0034】図10には、LDDラテラルDMOSTランジスタ1000が示されており、そのトランジスタは、トランジスタ1000のゲート1009の下領域の活性チャンネル領域と隣接するドリフト領域522の一部分を除き、図5のトランジスタ500と同様である。即ち、トランジスタ500のゲート509とは異なり、トラン

ジスタ1000のゲート1009は、ドレイン領域507を囲む環状の構造ではない。再び比較を容易にするために、図5及び図10の機能的及び構造的に類似な構造には、等しい符号が付されている。更に、異なった符号が与えられているが、トランジスタ1000のソース/バルク接合1020、P+領域1013及びPボディ領域1003は、トランジスタ500のソース/バルク接合500、P+領域513及びPボディ領域503と機能的に等しく、トランジスタ500に対して上述したように概ね等しい方法によって形成される。

【0035】図10に示すように、フィールド酸化膜領域1050は、当業者にとって既知のLOCOSプロセスによって形成される。概ね5000オングストロームから2ミクロンの厚さを持つこの酸化領域1050は、ゲート1009の形成に先だって形成され、図10に示すように、チャンネル領域から離れたドリフト領域522の側面でドリフト領域522に当接する。ドリフト領域522とフィールド酸化膜領域1050の間の境界面1051は、“不活性エッジ”として知られ、ドリフト領域522とチャンネル領域の間の境界面1052は、“活性エッジ”として知られている。上述されたように、ゲートエッジに於ける場合と同様に、ドリフト領域522の抵抗率に依存して、不利益な高い電界が、不活性エッジ1051に現れる。この不利益な高い電界は、P型電界ドーパントの存在、または酸化領域1050とドリフト領域522の間の境界面に存在する、圧力によって生み出された結晶欠陥によって、より増加させられる。そのような結晶欠陥の原因の1つは、上述されたLOCOS電界酸化過程である。従って、本発明に基づき、不活性エッジの下に、P+埋込み層501の一部が存在する。P+埋込み層501のこの部分は、上述された活性エッジ1052の下にP+埋込み層501によって提供されたものと概ね等しい方法によって、等電位線を不活性エッジ1051から引離し、バルクシリコン内に閉じ込める。

【0036】トランジスタ1000の、或る可能な配置の平面図が、図11に示される。図11で、不活性エッジ1051及び活性エッジ1052は、ドレイン領域507の両側に存在する。P+埋込み層501、ドリフト領域522及び所望に応じて形成されたゲートプレート511の存在する範囲は、双方向の矢印1061、1062及び1063によってそれぞれ表示されている。フィールド酸化膜領域1050は、長方形1057の外側に存在する。ゲート509、ソース・バルク接合520及びソース領域502もまた表示されている。

【0037】上述された技術の中で、図11のトランジスタ1000のようなLDDラテラルDMOSTランジスタから、活性ゲートを取除くことによって、1つのダイオード構造が得られる。そのようなダイオードは、図10及び図12の対応する構造に等しい符号を与えるこ

とによって、図12に示されている。図12で、ダイオードは、P基層505（アノード）、Pエピタキシャル層512及びドレイン領域507（カソード）によって形成される。P基層は、ソース接合部1020及びP+領域1013に接続されている。トランジスタ1000のように、P+埋込み層501は、不活性エッジで発達する強電界を緩和するために、等電位線を不活性エッジ1051から遠ざけ、バルクシリコン内に閉込める。加えて上述されたように、P+埋込み層501は、注入された少数キャリアの寿命を減少させ、ダイオードのカソード・アノード間の逆再生特性を改善する。

【0038】図13は、本発明の変形実施例であるLDDラテラルDMOSTランジスタ1200を示し、その実施例では、フィールド酸化膜領域1250は、ドリフト領域1222の上に形成されている。図5のトランジスタ500のように、トランジスタ1200は、ドレイン507を囲むゲート1209、ドリフト領域1222及びP+埋込み層501を有する概ね環状の構造である。再び、比較するために、トランジスタ500及びトランジスタ1200の（図5及び図12）の類似する構造には、同じ符号が与えられている。トランジスタ500及びトランジスタ1200の類似する構造は、トランジスタ500のための上述された、概ね同様な方法によって、形成されることが可能である。加えて、ドリフト領域1222は、トランジスタ500のドリフト領域522と同様の方法によって、形成されることが可能である。トランジスタ1200のフィールド酸化膜領域1250は、図5のトランジスタ500には存在しない。上述されたLOCOS過程によって形成される、このフィールド酸化膜領域1250は、ゲート1209の形成に先だって形成される酸化層の中では、厚い酸化層なので、他の酸化層とは区別でき、図13に示すように、ゲート1209が、フィールド酸化膜領域1250の一部に重なるようになっている。フィールド酸化膜領域1250上のゲートの重なり合う部分は、チャネル領域1253とドリフト領域1222の間の境界面1251の強電界を妨げるための効果的なゲートプレートを形成し、それによってトランジスタ1200のブレイクダウン電圧をより高める。

【0039】オーバーレイ層その相互作用  
高電圧集積回路の直面する1つの問題は、パッシベーション層（passivation layer）のようなオーバーレイ層（overlying layer）に電荷が蓄積されることである。パッシベーション層の電荷はその下のシリコン領域に電界を形成し、かつ低濃度にドーパされた領域内に少なからぬ電荷を形成することがある。パッシベーション層の電荷は集積回路自身からもたらされるか、または例えばプラスチック製のパッキングを通してまたはプラスチック製のパッキングからというような周囲からもたらされる。大型の半導体素子を

製造する場合、プラスチック製のパッキングは、セラミック製のパッキングに比べてコストが低いために好ましい。しかしながらプラスチックは比較的多孔性の材料であり、水滴及び帯電したイオンを通過させることがある。帯電したイオンは、プラスチック製パッキングを形成するときにプラスチック内に存在することもある。パッシベーション層の表面に捕獲される帯電したイオンの量は集積回路の動作環境によって変化する。集積回路の動作環境は変化するために、捕獲されるイオンの量は予測することが困難である。

【0040】図14は、NチャネルLDDラテラルDMOSTランジスタ500の上に配置された絶縁パッシベーション層1332の上の電荷1333及び1334が存在する場合の、等電位線を表している。絶縁パッシベーション層は当業者には公知であり、かつ窒化珪素または酸化窒素（oxynitride）のように材料から形成されている。電荷1333及び1334の量は、動作環境及びトランジスタ500の動作時間によって変化する。図14の電気力線は例示的なものである。実際の等電位線は、電荷1333及び1334の量によって変化する。

【0041】トランジスタ500が動作するとき、パッシベーション層1332の電荷は移動し、これによって負電荷1333はドレイン領域507、ドレイン接触部508及びNドリフト領域522、即ち高い電圧が印加された集積回路の部分に堆積する。正電荷1334は、ソース領域502、接触部520、及びゲート509、即ち低い電位を有する集積回路の領域に堆積する。

【0042】電荷1333及び1334は、等電位線を集中させ、最も高い電圧と最も低い電圧の領域付近の電界の強度を増加させる。特に、電荷を存在しない場合に比べ電界はゲート509のエッジ付近でより強くなり、ブレイクダウン電圧が減少する。その効果は、ドリフト領域522の不純物濃度の電荷と等しく、かつトランジスタが動作していないとき、ドリフト領域522内の電荷の実際の変化として扱われる。

【0043】トランジスタ500は、オーバーレイ層1333及び1334の予測される範囲に対して耐性を有し、かつブレイクダウン電圧の予測される変化に対する耐性を有するように設計されなければならない。しかし、もし電荷が予測される量を超過した場合、集積回路は故障することがある。最大のブレイクダウン電圧は600Vであり絶縁パッシベーションを備えた典型的なトランジスタでは、パッシベーション層に蓄えられる電荷は、ブレイクダウン電圧が300V以上となるような低い値とされる。

【0044】電荷の形成の問題を解決するために、半絶縁多結晶酸化シリコン（semi-insulating polycrystalline oxygen doped silicon、SIPOS）の層は、下

層の活性回路要素と電氣的に接触する部分に配置される。S I P O Sは、十分な導電率を有するので、測定可能な電流が、S I P O S層を通して集積回路上の活性要素の間を流れる。S I P O S層を通過する電流の効果は、S I P O S層の電圧の分布を形成する。電圧の分布は、S I P O S層の上の堆積された電荷の効果を支配し、かつ下層領域の予測可能な電界を提供する。更に、S I P O S層と接触する任意のイオンは、下層の活性回路要素へのまたは下層の活性要素からの電荷の流れによって電氣的に中和される。

【0045】パッシベーション層の表面に形成される電荷の効果を回避するために用いられるS I P O S層を通過する電流を用いることに関して少なくとも2つの問題が存在する。その1つは、抵抗を有するS I P O S層を流れる連続した電流が電力を消費することである。もう1つの問題は、S I P O S層が一般的に大きいRC時定数を有するために、S I P O S層を流れる電流が高速スイッチングに適さないということである。下層の回路要素が電圧をスイッチしたとき、S I P O S層の電流及び電圧分布は、迅速には変化しない。従ってS I P O S層の電圧は下層の回路要素の臨界的な電界を増加させることがあり、ブレークダウンを引き起こす。

【0046】図15は、ここでは半絶縁窒化珪素(S i n S i N)と呼ばれる窒化珪素から形成された層1441を用いた本発明の実施例が示されている。S i n S i N層1441は、集積回路のためのほぼ密封シールとして、及び電圧の堆積を防止する構造として動作する。S i n S i N層1441は好ましくは僅かに導電性であるが、その導電率は温度及び電界によってかなり変化する。75℃に於て、典型的なS i n S i N層は約 $1 \times 10^{-8} \Omega \text{cm}$ 〜約 $1 \times 10^{-12} \Omega \text{cm}$ の範囲の導電率を有するが、典型的には約 $1 \times 10^{-10}$ の導電率を有し、S i n S i N層1441を通してソース接触部520とドレイン接触部508との間を流れる電流は無視できるものである。

【0047】層1441のようなS i n S i N層の導電率は、非常に非線形に印加された電界によって変化する。強い電界中では、S i n S i N層1440は非常に高い導電率を有する負電荷が、ドレイン接触部508のような高い電圧領域の近くS i n S i N層1441の表面1441Aに形成された時、電荷の近くの電界は強化され、S i n S i N層1441は電荷がドレイン接触部508へ流れるほど十分に高い導電率を有することになる。S i n S i N層1441の表面の電荷は従って電氣的に中和され、ある一定のレベルを超えて増加することはない。

【0048】トランジスタ500Aでは、S i n S i N層1441が、トランジスタ500Aの複数の層を通る電界に影響し、トランジスタ500Aの全ての領域が、相互に影響し合い、電界を形成し、トランジスタ500

Aのブレークダウン電圧を決定する。特に、S i n S i N層1441と、ゲートプレート511と、N-ドリフト領域222の形状及び不純物濃度と、P+埋め込み層501の形状とが共働し、電界及びブレークダウン電圧を制御する。S i n S i N層1441とドリフト領域522との関係が特に重要である。S i n S i N層1441によって、ドリフト領域522の実際の電荷の効果の問題が減少する。従って、ドリフト領域の実際の電荷の量は、動作環境に関係なく知ることができる。トランジスタ500Aはパッシベーション層の電荷の大きな変化に対する許容度を受け入れることなしに、最小の導通抵抗を有するように最適化されるかまたは大きな温度変化に亘って動作するように最適化される。

【0049】トランジスタ500Aの一実施例では、ドレイン接触部508とゲート509との距離は $60 \mu\text{m}$ である。P+埋め込み層501は、ゲート509を通過して $15 \mu\text{m}$ 延在し、かつドーズ量 $5 \times 5^{13} / \text{cm}^2$ で、表面522Aから $15 \mu\text{m}$ 下に形成されている。熱プロセスを通して、埋込み領域から測定可能な濃度の不純物が、表面522Aから $3 \sim 4 \mu\text{m}$ まで拡散される。ドリフト領域522は典型的には $1.5 \times 10^{12} / \text{cm}^2$ 程度のドーズ量を有するが、しかし $1.2 \times 10^{12} / \text{cm}^2$ のドーズ量を有することも可能である。S i n S i N層1441は約2.4の屈折率を有し、8000オングストロームの厚みを有し、表面522Aから上に $1.1 \mu\text{m}$ の所に形成されている。この実施例は、約600Vの最大ブレークダウン電圧を有し、電荷の堆積によって引き起こされたブレークダウン電圧の変化は、約30V未満に限定されている。

【0050】S i n S i N層1441は、公知のプラズマ気相成長法(P E C V D)を用いて、例えば市場で入手可能な装置A S M P l a s m a 3を用いて、電力1.2kW、圧力2トリチェリ、0.641/分(1p m)のシランS i H<sub>4</sub>と2.81p mのアンモニアM H<sub>3</sub>のガスを用いて形成される。

【0051】シリコン窒化層1441は、トランジスタ500Aに関連して図示されているが、シリコンパッシベーション層はまた、図12に示されたダイオード1100のようなドリフト領域と埋め込み層を備えた他のデバイスに用いられることもできる。

【0052】図16は、電氣的なシールドと同様にウエハのための気密シールを提供する層1541と層1542を備えた多層パッシベーション層1540が示されている。パッシベーション層は、上述されたように厚さ8000オングストロームで形成されたS i n S i Nのような材料から形成された層1541と、層1541の上に厚さ2000オングストロームで堆積された窒化珪素(S i<sub>3</sub>N<sub>4</sub>)の様な材料から形成された絶縁層1542を含む。P E C V Dプロセスを用いて、層1541と1542は、堆積の間流体ガスの化学成分を変化させる

ことによって等しいプロセスの間で堆積させることができる。

【0053】層1541は、接触部508及び520から、層1541の表面の電荷を電氣的に中和するイメージ電荷を除去することによって、層1542の表面の電荷から下層の回路要素を遮蔽する。

【0054】図15はまた、パッシベーション構造1540が、2層以上の多層構造からなり、各層が異なる導電率を有し、下層の活性要素と組み合わせられた層の組合せが、集積回路の電界を形成していることを表している。

【0055】これまでの詳細な記述及び添付の図面は、本発明の特定の実施例の説明を意図するものであり、本発明の限定を意図するものではない。本発明の範囲内に於て種々の変形及び変更が可能である。例えば、全ての関連する半導体領域の導電型を反転することより、NチャネルLDDラテラルDMOSトランジスタ500、550A、及び500Bに相似のPチャネルトランジスタを提供することが、通常の技術によって可能である。他の例として、装置の電導特性及びブレイクダウン特性を大幅に変えずに、2、3Vの低い電圧の逆バイアスを、ソース・ボディ接合間に印加することがきるように、P+ボディ領域513及びN+接触領域502が電氣的に分離可能なことが知られている。そのような変形は、本発明の範囲に含まれるものであることを了解されたい。本発明の範囲は添付の請求項によって定義される。

#### 【0056】

【発明の効果】上述したように、本発明によれば、DMOSトランジスタのP-基層内にP+埋込み層を設けることにより、等電位線のゲートへの集中を防ぎ、DMOSトランジスタのブレイクダウン電圧を高めることができる。

#### 【図面の簡単な説明】

【図1】従来技術に於ける自己絶縁されたLDDラテラルDMOSトランジスタを示す図。

【図2】図1の自己絶縁されたLDDラテラルDMOSトランジスタの等電位線の分布を示す図。

【図3】ゲートプレート有する従来技術の自己絶縁されたLDDラテラルDMOSトランジスタの等電位線の分布を示す図。

【図4】P+埋込み層を有する従来技術のRESURS型ラテラルDMOSトランジスタを示す図。

【図5】本発明の実施例に基づく電界形成P+埋込み層501を有する自己絶縁されたLDDラテラルDMOSトランジスタ500を示す図。

【図6】図5の自己絶縁されたLDDラテラルDMOSトランジスタ500の等電位線の分布を示す図。

【図7】本発明の他の実施例に基づくNウェル606を有する自己絶縁されたLDDラテラルDMOSトランジスタ600を示す図。

【図8】図1のLDDラテラルDMOSトランジスタ、図2（即ちゲートプレート有する）のLDDラテラルDMOSトランジスタ及び本発明に基づく図5のLDDラテラルDMOSトランジスタ500の各電界分布を比較した図。

【図9】CMOSのラッチアップ現象を抑制するためのP+及びN+埋込み層をそれぞれ用いた低電圧CMOSトランジスタ903及び904と共に集積化された本発明に基づく高電圧のLDDラテラルDMOSトランジスタ900を示す図。

【図10】本発明に基づく部分的な不活発なエッジ1051及び部分的な不活発なエッジの下にあるP+埋込み層501を有する自己絶縁されたLDDラテラルDMOSトランジスタ1000の断面図。

【図11】図10に示された自己絶縁されたLDDラテラルDMOSトランジスタ1000の底面図。

【図12】本発明に基づくドリフト領域522の下にP+埋込み層501及びフィールド酸化膜領域1050の下に形成されたドリフト領域522を有する自己絶縁されたLDDダイオード1100の断面図。

【図13】本発明に基づくフィールド酸化膜領域1250の下に形成されたN-ドリフト領域1222によって部分的に重ね合わされたP+埋込み層501を有する自己絶縁されたLDDラテラルDMOSトランジスタ1200の断面図。

【図14】パッシベーション層の表面に形成された電荷によってもたらされた等電位線の分布及び絶縁パッシベーション層を伴った自己絶縁されたLDDラテラルDMOSトランジスタ500を表す図。

【図15】本発明の実施例に基づく、窒化珪素パッシベーション層1441を伴った、自己絶縁されたLDDラテラルDMOSトランジスタ500Aを表す図。

【図16】本発明の実施例に基づく、多重パッシベーション層構造を伴った自己絶縁されたLDDラテラルDMOSトランジスタ500Bを表す図。

#### 【符号の説明】

100 NチャネルLDDラテラルDMOSトランジスタ

101 P+接触領域

102 N+ソース領域

103 Pボディ領域

104 所望に応じて設けられる高濃度P+領域

105 P-基層

106 所望に応じて設けられるNウェル

107 N+ドレイン接触領域

108 ドレイン

109 ゲート

110 ゲート酸化層

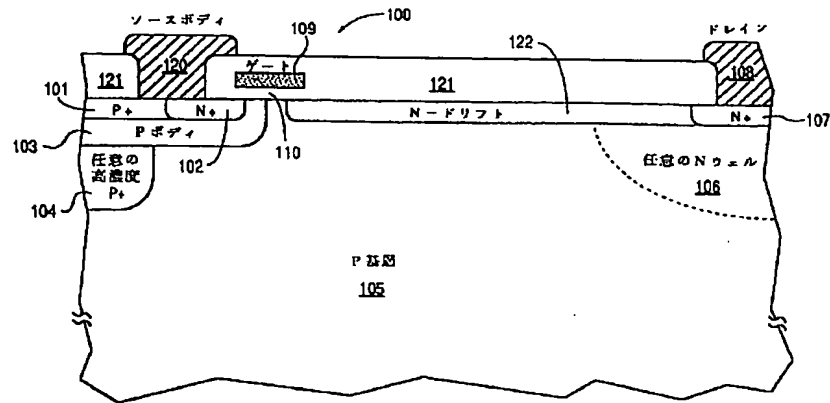
120 ソース

121 絶縁層

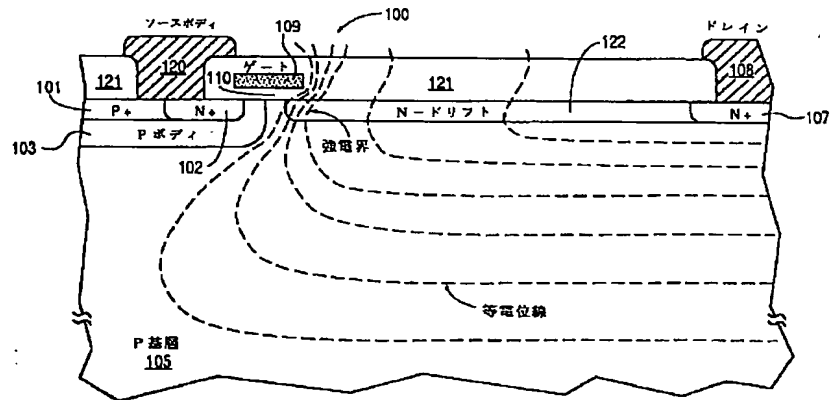
122 ドリフト領域  
 200 RESURFラテラルDMOSTランジスタ  
 201 P+埋込み層  
 202 N+ソース領域  
 203 Pボディ領域  
 204 P+絶縁層  
 205 P-基層  
 206 N-エピタキシャル層  
 207 N+ドレイン接触領域  
 208 ドレイン  
 209 ゲート  
 210 ゲート酸化膜  
 220 ソース  
 221 絶縁層  
 222 ドリフト領域  
 500、500A、500B LDDラテラルDMOS  
 トランジスタ  
 501 P+埋込み層  
 502 N+ソース領域  
 503 Pボディ領域  
 504 高濃度P+領域  
 505 P-基層  
 506 所望に応じて設けられるNウェル  
 507 N+ドレイン接触領域  
 508 ドレイン  
 509 ゲート  
 510 ゲート酸化層  
 511 ゲートプレート  
 512 P-エピタキシャル層  
 513 所望に応じて設けられるP+領域  
 520 ソース  
 521 絶縁層  
 522 N-ドリフト領域  
 600 LDDラテラルDMOSTランジスタ  
 606 Nウェル  
 801 P+埋込み層  
 802 ゲートプレート  
 804 ドレインプレート  
 805 N-ドリフト領域  
 820 トランジスタ100の電界曲線

821 ゲートプレートを有するトランジスタ100の  
 電界曲線  
 822 トランジスタ500の電界曲線  
 901 LDDラテラルDMOSTランジスタ  
 903 低電圧CMOSTランジスタ  
 904 NMOSTランジスタ  
 905 P+埋込み層  
 906 P+埋込み層  
 908 N+ドレイン接触領域  
 10 910 導体  
 1000 LDDラテラルDMOSTランジスタ  
 1002 N+ソース領域  
 1003 Pボディ領域  
 1009 ゲート  
 1013 P+接触領域  
 1020 ソース  
 1050 フィールド酸化膜領域  
 1051 不活性エッジ  
 1052 活性エッジ  
 20 1057 固体長方形  
 1061 P+埋込み層の範囲  
 1062 ドリフト領域の範囲  
 1063 所望に応じて設けられるゲートプレートの範  
 囲  
 1100 ダイオード  
 1200 LDDラテラルDMOSTランジスタ  
 1209 ゲート  
 1222 N-ドリフト領域  
 1250 フィールド酸化膜領域  
 30 1251 1222と1253との境界面  
 1253 チャネル領域  
 1332 絶縁パッシベーション層  
 1333 負電荷  
 1334 正電荷  
 1441 SinSin層  
 1441A SinSin層の表面  
 1540 多層パッシベーション層  
 1541 SinSin層  
 1542 絶縁層

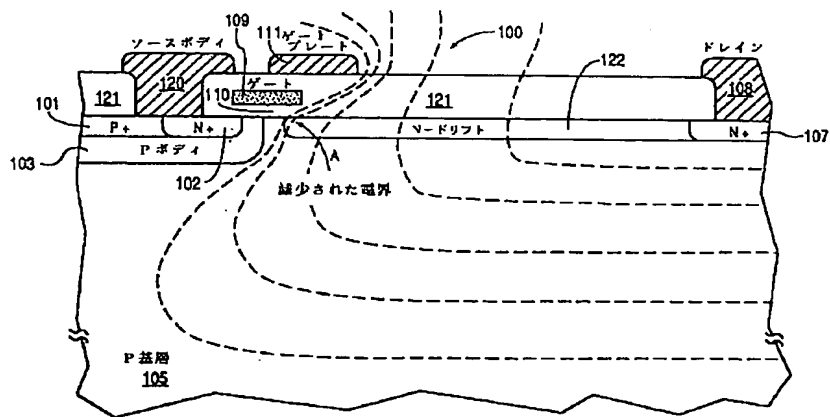
【図1】



【図2】



【図3】

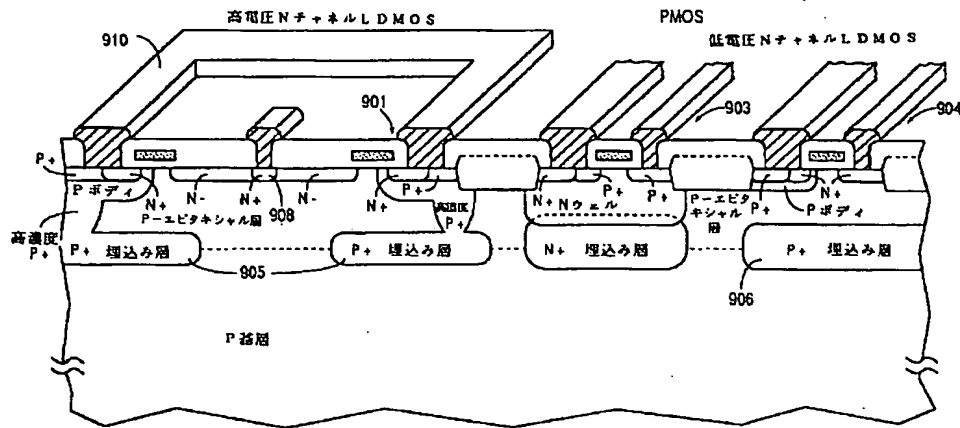


[illegible]

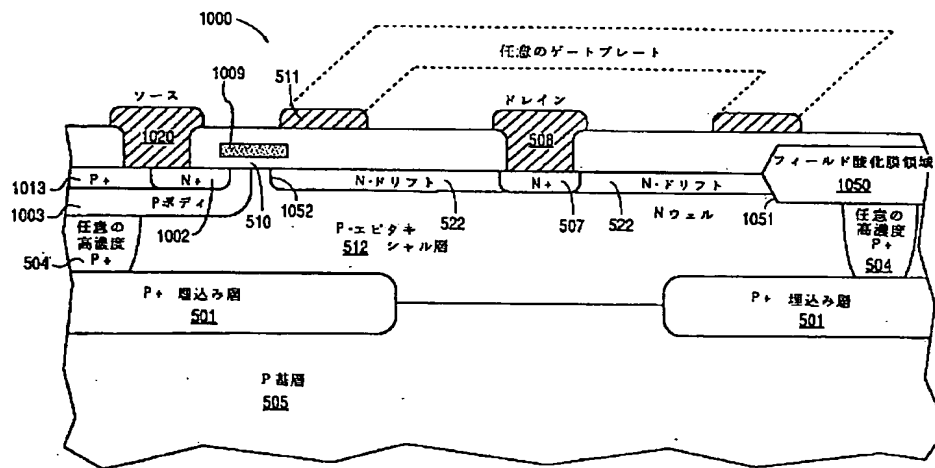


Figure 1 is a schematic diagram of a semiconductor device structure and its electric field distribution. The top part shows a cross-section of the device with layers labeled 800, 802, 804, 805, and 801. It includes regions for N<sup>+</sup>, P<sup>+</sup> (高濃度 P<sup>+</sup>), and P<sup>+</sup>埋込み層 (P<sup>+</sup>埋込み層). A gate plate (ゲートプレート) is shown. The bottom part is a graph of electric field (電界, V/cm) versus distance along the surface (表面に沿った距離 x). It shows three curves: 820 (ゲートプレートを用いない場合), 821 (ゲートプレートを用いた場合), and 822 (本発明のトランジスタ). The curves are plotted against positions X<sub>1</sub>, X<sub>2</sub>, X<sub>3</sub>, and X<sub>4</sub>.

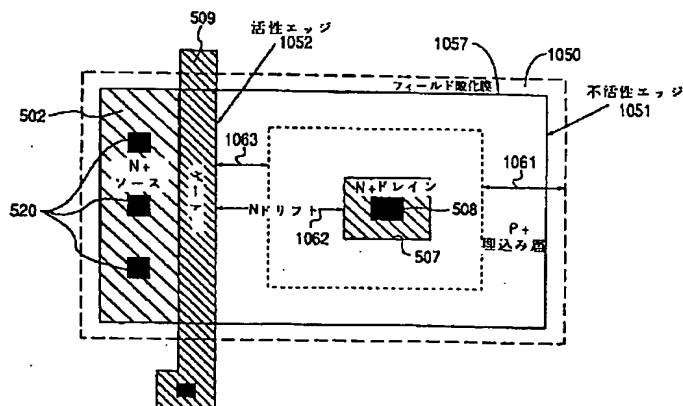
【図9】



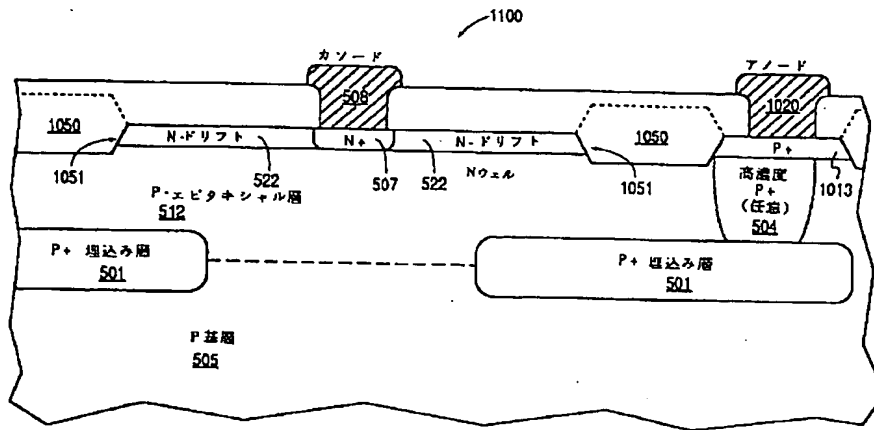
【図10】



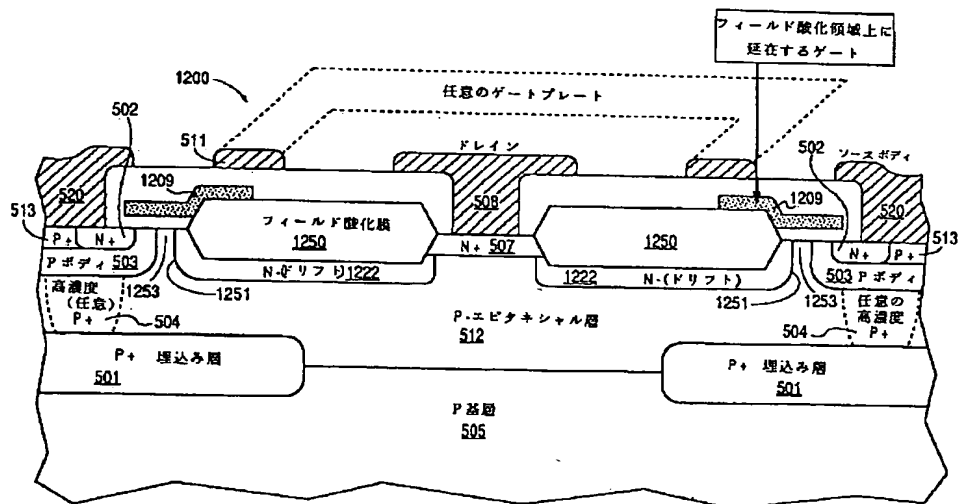
【図11】



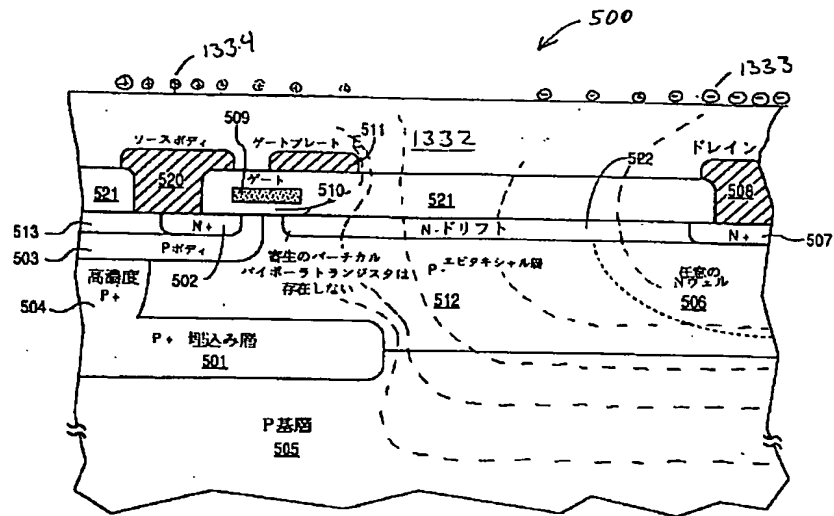
【図 12】



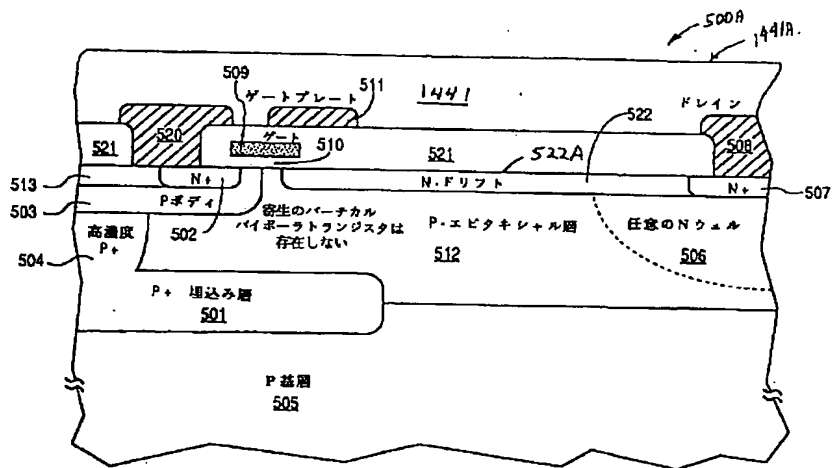
【图 1 3】



【図14】



【図15】



1540

1542

1541

509 ゲートプレート 511

521

520

ゲート 510

522

522A

508

507

N+

N-ドリフト

N+

P+エピタキシャル層 512

任意のNウェル 506

寄生のパーチャルバイポーラトランジスタは存在しない

P+埋込み層 501

P+ 502

高濃度 P+

P+ 505

503

504

500B

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
		7514-4M	H O I L 29/78	3 0 1 X
(72) 発明者	マイケル・イー・コーネル		(72) 発明者	デイビット・グラッソ
	アメリカ合衆国カリフォルニア州95008・			アメリカ合衆国カリフォルニア州95132・
	キャンベル・リガスドライブ 663			サンノゼ・マツスアベニュー 3012
(72) 発明者	マイク・チャング		(72) 発明者	アグネス・イェング
	アメリカ合衆国カリフォルニア州95014・			アメリカ合衆国カリフォルニア州95070・
	クーペルティノー・サウスプラニーコート			サラトガ・カサブランカレイン 18658
	10343		(72) 発明者	ジュイピング・チュアング
				アメリカ合衆国カリフォルニア州95014・
				クーペルティノー・ピックスバーグドライブ
				10265

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**